

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年10月14日 (14.10.2004)

PCT

(10) 国際公開番号
WO 2004/088849 A1

(51) 国際特許分類⁷: H03M 1/34, H04N 1/028 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(21) 国際出願番号: PCT/JP2004/004169

(22) 国際出願日: 2004年3月25日 (25.03.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-93386 2003年3月31日 (31.03.2003) JP

(71) 出願人および
(72) 発明者: 川人 祥二 (KAWAHITO,Shoji) [JP/JP]; 〒432-8013 静岡県浜松市広沢一丁目22番12号 Shizuoka (JP).

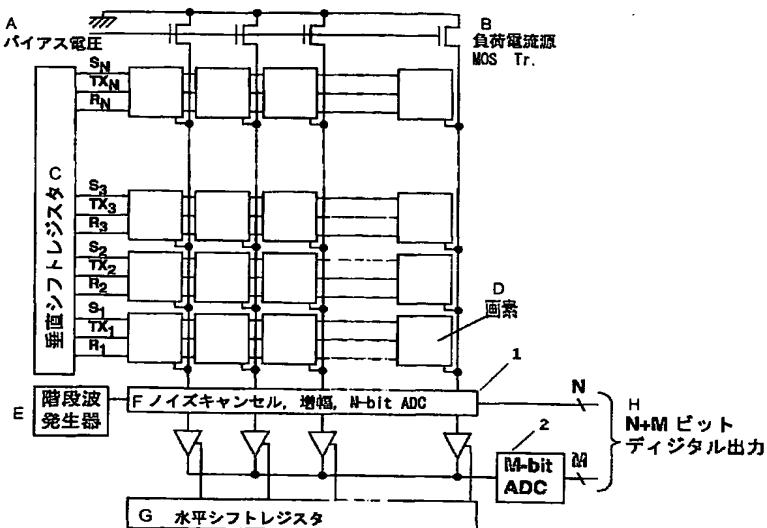
(74) 代理人: 梅村 効樹 (UMEMURA,Tsuyoshi); 〒302-0023 茨城県取手市白山一丁目7番39号 Ibaraki (JP).

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[統葉有]

(54) Title: TWO-STAGE A/D CONVERTER AN IMAGE SENSOR USING THE SAME

(54) 発明の名称: 2段階A/D変換器及びそれを用いたイメージセンサ



A...BIAS VOLTAGE
B...LOAD CURRENT SOURCE MOS Tr.
C...VERTICAL SHIFT REGISTER
D...PIXEL

E...STEP WAVE GENERATOR
F...NOISE CANCEL, AMPLIFICATION, N-bit ADC
G...HORIZONTAL SHIFT REGISTER
H...N+M-BIT DIGITAL OUTPUT

(57) Abstract: In the conventional CMOS image sensor, an A/D converter performing A/D conversion at a high speed arranges A/D converter elements in columns so as to operate in parallel and has a low resolution in the order of 9 bits. The present invention provides an image sensor A/D converter which performs a part of the A/D conversion function by using a column noise cancel circuit and performing amplification simultaneously with this, thereby obtaining a high signal noise ratio (SNR) and realizing a high resolution A/D converter together with the A/D conversion section after this.

(57) 要約: 従来のCMOSイメージセンサにおいて、これまでA/D変換を高速に行うものは、A/D変換器要素をカラムに並べて並列に動作させるもので、分解能としては、9 bit

[統葉有]



規則4.17に規定する申立て:

- USのみのための発明者である旨の申立て (規則 4.17(iv))

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

- 国際調査報告書

程度であり分解能が低かった。この発明は、イメージセンサ用A/D変換器として、A/D変換の機能の一部を、カラムのノイズキャンセル回路を用いて行い、かつ同時に増幅を行うことで、高シグナルノイズ比(SNR)化を図りながら、その後のA/D変換部とあわせて高分解能のA/D変換を実現する。

明細書

2段階A/D変換器及びそれを用いたイメージセンサ

技術分野

5 この発明は、A/D変換器の改良及びそれを用いたイメージセンサに関する。

背景技術

CMOSイメージセンサでは、イメージセンサ上に様々な機能回路を集積化できることが大きな特徴の1つであり、その1つにA/D変換回路の集積化がある。

10 これによってデジタル出力のイメージセンサが実現でき、システムのコンパクト化が図れるとともに、センサチップの出力に混入するノイズの影響を排除することができる。

イメージセンサに集積化するA/D変換器として開示されているものとして以下の文献がある。

15 [1] A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, "A digital vision sensor," Sensors and Actuators, A46-47, pp. 439-443, 1995.

[2] B. Mansoorian, H. Y. Yee, S. Huang, E. Fossum, "A 250mW 60frames/s 1 280x 720 pixel 9b CMOS digital image sensor," Dig. Tech. Papers, Int. Solid-State Circuits Conf., pp. 312-313, 1999.

20 [3] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," Dig. Tech. Papers, Int. Solid-State Circuits Conf., pp. 108-109, 2000.

[4] S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, "A 256 x 256 CMOS 25 imaging array with wide dynamic range pixels and column-parallel digital

l output, " IEEE J. Solid-State Circuits, vol. 33, no. 12, Dec. 1998.

[5] 特開2002-232291号公報

上記[1]は、ランプ信号発生器、比較器、レジスタを用いた8 bitの積分型A/D変換器要素をカラムに集積化するものである。同種の技術は、特許第2532
5 374号明細書にも記載されている。

また[3]は、同様に積分型A/D変換器要素をカラムに集積化するものであるが、精度向上した比較器を用いて10 bitを実現している。これら積分型A/D変換器は、変換時間が長く、特に分解能をあげようすると指數関数的に変換時間が長くなるので、そのままではこれ以上の分解能の実現は困難である。しかし、線
10 形性に優れる利点がある。

また[2]は、キャパシタを用いた逐次比較型A/D変換器をカラムに並べて動作させるもので、高速なA/D変換が可能であるため、高フレームレート、多画素数のイメージセンサに適している。しかし、これも実際の精度としては、8 bit程度にとどまっている。

15 また[4]は、サイクリックA/D変換器要素をカラムに並べて動作させるもので、これも高速A/D変換に適している。しかし分解能としては、9 bit程度である。

また[5]は、カラムにおいてノイズキャンセルされた信号に対して、2段階で積分型のA/D変換を行うものであるが、増幅の機能を有していないので、2段階化によって信号対雑音比(SNR)の改善を図るものではない。

20 なお、これら以外に、画素内にA/D変換要素をもつイメージセンサが幾つか報告されているが、本発明と直接関係しないため割愛する。

発明の開示

これまでのイメージセンサ用A/D変換器は、カラムに並べて並列に動作させることの利点のみを利用するものである。

本発明は、イメージセンサ用A/D変換器として、A/D変換の機能の一部を、カラムのノイズキャンセル回路を用いて行い、かつ同時に増幅を行うことで、高シグナルノイズ比(SNR)化を図りながら、その後のA/D変換部とあわせて高分解能のA/D変換を実現しようとするものであり、高感度で広ダイナミックレンジのデジタルイメージセンサが実現できる。

本発明は、イメージセンサにおいて、カラムでのノイズキャンセル動作とともにN-bitのA/D変換を行い、その残差アノログ値に対し、カラムあるいは、水平走査後にM-bitのA/D変換を行うことで、高分解能で高いSNRを保持したA/D変換を行うことを目的とする。

また、ノイズキャンセルを行うアンプを用いてA/D変換の一部を行わせ、回路の簡素化を図るものである。

用途として、イメージセンサを例にあげるが、この用途に限定するものではない。

15 図面の簡単な説明

第1図は、アノログ残差を水平走査後A/D変換を行う2段階A/D変換器のブロック図である。

第2図は、アノログ残差に対するA/D変換をカラムで行う2段階A/D変換器のブロック図である。

第3図は、カラム増幅とN-bit A/D変換を行う単位回路(先にA/D変換)を示す図である。

第4図は、カラム増幅とN-bit A/D変換を行う単位回路(引き戻し法)を示す図である。

第5図は、4倍の増幅と2ビットA/D変換の回路例を示す図である。

第6図は、4トランジスタ画素回路を示す図である。

第7図は、2ビットカラムA/D変換の動作タイミング図である。

第8図は、2bit A/D変換におけるDの値に対する ϕA , ϕB , ϕC , ϕD の変化を示す図である。

第9図は、引き戻し型N-bit A/D変換とアナログ残差を発生するカラム読み出し回路を示す図である。

第10図は、8倍増幅を行いながらノイズキャンセルと引き戻しを行う回路の例を示す図である。

第11図は、引き戻しA/D変換の動作を示す図である。

第12図は、アンプの入出力の関係を示す図である。

第13図は、ノイズキャンセルと2倍増幅、及び1ビットA/D変換を行う回路を示す図である。

第14図は、第13図の回路の伝達特性を示す図である。

第15図は、アンプリセットレベルとアナログ残差出力を別々に出力する第9図の回路の変形を示す図である。

15

発明を実施するための最良の形態

図1は、第1の実施例のブロック図を示している。イメージセンサのカラムにおいてアレイ状に並べた、ノイズキャンセル、信号増幅とともにN-bitのA/D変換を行う要素回路(1)を並列に動作させる。そのアナログ残差を水平走査し、20その出力に対してM-bitのA/D変換(2)を行うことで、N+M bitのA/D変換を行うものである。

垂直シフトレジスタからの制御線S, TX, Rは図6の制御線に各々対応する。

図2は、第2の実施例のブロック図を示している。これは、イメージセンサのカラムにおいてアレイ状に並べたノイズキャンセル、信号増幅とともにN-bitのA/D変換を行う要素回路(1)により並列にA/D変換を行い、アナログ残差出

力に対して、M-bitのA/D変換要素をアレイ状に並べて動作させるものである。

カラムにおいて、ノイズキャンセルと増幅及び、N-bitのA/D変換を行う単位回路(1)の構成を図3及び図4に示す。いずれの場合も、イメージセンサのカラムにおいて、G倍のゲインで増幅を行いながら、N-bitのA/D変換を行い、

5 その結果に応じて、ある一定値を差し引くことで、アンプの出力が飽和するのをさけることがポイントである。図3は、画素出力に対してまずN-bitのA/D変換を行い、画素出力信号から、アンプの出力が線形範囲で動作する範囲に入るよう5 一定値を差し引く。

図4の場合には、まず画素出力に対してG倍の増幅を行い、その増幅された出

10 力に対してA/D変換を行い、その結果をD/A変換して、アンプの入力から一定量を差し引き、アンプが線形範囲に入るまで繰り返すものである。これを引き戻し法と呼ぶこととする。

等価的に、これらと同じ動作をする構成はいろいろと考えられ、このブロック図に忠実な構成に限定するものではない。また、図3、図4には、画素部で発生15 するノイズをキャンセルする機能は明示的に書いていないが、G倍のアンプにおける増幅動作においてノイズキャンセルの機能を持たせることができる。実例は、あとで述べる。

図3の構成に相当する2-bitの場合の回路例を図5に示す。また、画素部の構成例を図6に示す。これは、埋め込みフォトダイオードを用いた4トランジスタ20 + 1フォトダイオードの画素回路である。3トランジスタ画素回路など、他の画素回路を利用することもできる。

埋め込みフォトダイオード(PD)により変換された光電荷がトランジスタ(MIN, MX)により取り出され、信号線(Signal line)を経由して画素(PIXEL)群の出力端(Output)に出力される。この信号は、画素出力としてA/D変換器(2-bit ADC)に印加されるとともにキャパシタ4C(キャパシタCの4倍の容量を有す)

を経由してゲイン G を有するアンプ(3)の入力に接続される。A/D変換器(4)からは入力信号のレベルに対応したスイッチ用制御信号 ϕA , ϕB , ϕC , ϕD が
出力される。

A/D変換器によるA/D変換値を、制御信号 ϕA , ϕB , ϕC , ϕD で制御さ
れるスイッチと、キャパシタ C, 2C (注: 2C は C の 2 倍の容量を有す) による
5 D/A変換器(5)により D/A変換し、これを入力から引く。すなわち、入力 X に
D/A変換器(5)により D/A変換し、これを入力から引く。すなわち、入力 X に
対して、出力 Y は、次式のように求める。

$$Y = G \times X - R \times D \quad (a1)$$

ここで、R は、入力のフルスケール (FS) 値である。G としては、2 ビットの
10 場合には一般には G = 4 とするが、これよりも大きな値にしてより大きな増幅機
能を持たせることも可能である。

また、D は、2 ビットで A/D 変換された結果であり、以下のように定める。

$$D = \begin{cases} 0 & (X \leq FS/4) \\ 1 & (FS/4 < X \leq FS/2) \\ 2 & (FS/2 < X \leq 3FS/4) \\ 3 & (3FS/4 < X \leq FS) \end{cases}$$

(a2)

15 この D を、上位の 2 ビット A/D 変換値として出力する。一方、Y は、アナロ
グ残差出力値である。

図 5 と図 6 の画素回路を組み合わせて、上記の動作を行う際のタイミング図を
図 7 に示す。画素出力(センサ出力)からは、リセットレベル V_R と信号レベル V_S
が図 7 のように出力されるものとする。

20 $\phi 1$, $\phi 2$, $\phi 3$, $\phi 4$ は、アンプ周辺のスイッチ回路を開閉する制御信号である。

まず、アンプの $\phi 1 = 1$ としてアンプの入出力をショートしておき、キャパシタ $4 C$ に V_R のレベルをサンプルする。このとき、 $\phi 2 = 1$ としておく。ついで、 $\phi 1 = 0$ 、 $\phi 2 = 0$ とし、 $\phi 3 = 1$ とすることで、 V_s のレベルを $4 C$ に与える。その結果、アンプの出力には、 $V_R - V_s$ が 4 倍に増幅された信号が現れる。また、

5 $X = V_R - V_s$ を 2 bit A/D 変換器に与え、その結果によって、 ϕA 、 ϕB 、 ϕC 、 ϕD が変化する。その結果、 $R = V_{R2} - V_{R1}$ として、式(a1)、(a2)にしたがって出力電圧（アナログ残差出力）が決定される。2 bit A/D 変換器の中の比較器がサンプル中は、 $\phi A = \phi C = 1$ 、 $\phi B = \phi D = 0$ とする。その比較結果を出力するタイミングにおいて、図 8 のように ϕA 、 ϕB 、 ϕC 、 ϕD を変化させる。

10 次に、カラムにおいて引き戻し A/D 変換とアナログ残差を計算する回路を図 9 に、その入力部の具体的な回路例を図 10 に示す。その動作タイミング図を図 11 に示す。画素回路としては、図 6 に示す画素内で電荷転送を行う 4 トランジスタ型であるとする。なお、3 トランジスタの画素回路など、他の画素回路もタイミングを変更することで、同様に利用可能である。まず、最初にリセットレベル V_R があらわれ、次いで信号レベル V_s が output されるものとする。

15 図 11 は 8 倍の増幅を行う場合を示している。まず、アンプの $\phi 1 = 1$ 、 $\phi 2 = 1$ 、 $\phi 3 = 0$ としてアンプの入出力をショートし、帰還容量 C の一端を V_{ref} に接続しておき、容量 C の 8 倍の容量を有すキャパシタ $8 C$ に V_R のレベルをサンプルする。ついで、 $\phi 1 = 0$ 、 $\phi 2 = 0$ とし、 $\phi 3 = 1$ とした後で、信号レベル V_s を $8 C$ に与える。その結果、アンプの出力には、 $V_R - V_s$ が 8 倍に増幅された信号が現れる。しかし $V_R - V_s$ が大きい場合には、増幅された信号がアンプの線形範囲を越え、飽和することになる。しかし、このときアンプの入力部の電荷 Q_0 が変化しなければ、入力部でキャパシタを使って線形範囲に引き戻すことができる。

V_R をサンプルしているとき、アンプの入力部での電荷 Q_0 は次式で与えられる。

$$Q_0 = 8C(V_0^* - V_R) + C(V_0^* - V_{REF}) + 4C(V_0^* - V_{SW0}) + C_i V_0^* \quad (1)$$

ここで、 V_0^* は V_R サンプル時のアンプ入力部の電圧であり、 C_i はアンプ入力部と接地点の間の寄生容量である。また V_{SW0} は階段波の初期電圧である。

入力を V_s に切り替え、また帰還容量 C をアンプ出力に接続した後、 Q_0 に変化がないとすると次式となる。

$$Q_0 = 8C(V_0 - V_s) + C(V_0 - V_{OUT}) + 4C(V_0 - V_{SW}) + C_i V_0 \quad (2)$$

ここで、 V_{SW} は階段波の電圧である。また V_0 は、 V_s サンプル時のアンプ入力部の電圧である。このとき、 $V_R - V_s$ が大きいとアンプが飽和し、 V_0 が V_0^* から大きく変化する。しかし、 V_{SW} を操作し、アンプが高いゲインで動作する領域に引き戻したとき、次式が成り立つ。

$$V_{OUT} = A(V_0^* - V_0) + V_0^* \quad (3)$$

15

ここで A はアンプの開ループゲインである。 A が十分大きければ、この回路は負帰還回路として動作しているので、 V_{OUT} が線形領域で動作するような電圧をとるためには、 $V_0^* - V_0$ がほぼゼロにならなければならない。これは、開ループゲインが大きい演算増幅器を用いて負帰還回路を構成した場合には、プラス入力

とマイナス入力の差電圧がほぼゼロで動作するのと同様に考えれば容易に理解できる。

いま $V_o^* - V_o = 0$ として、(1), (2)を連立させれば、次式が得られる。

$$V_{OUT} = V_{REF} + 8(V_R - V_S) - 4(V_{SW} - V_{SW0}) \quad (4)$$

5

これは、出力電圧が、 V_{REF} を基準として、 $V_R - V_S$ が 8 倍に増幅されるとともに、 $V_{SW} - V_{SW0}$ の差電圧を 4 倍したものをひいた電圧になることを意味する。つまり、 Q_o が変化しないように動作させ、アンプが高いゲインで動作する点に引き戻すことによって、式(4)で決まる線形な動作が行える。

10 このことを利用し、階段波発生器と、比較器を用いて A/D 変換を行い、残差アナログ値を生成する回路が図 9 のように構成できる。図 11 のタイミング図に示すように、最初、階段波発生器の出力を V_{SW0} のままにしておき、増幅するとアンプの出力で飽和し、クリップされる。次いで、階段波を与えると、あるところから、アンプの出力が高いゲインで動作する領域に入り、式(4)が満たされるようになり、階段波のレベルにしたがって、アンプの出力が下がってくる。そこで、比較器でアンプの出力としきい値 V_T を階段波のステップが上がるごとに、比較動作（サンプル(S)&判定(D)）を行うと、アンプの出力が V_T 以下になった時点で、比較器の出力が High から Low に変化する。これにより、アンプの出力に接続されたサンプル&ホールド回路(S/H)にその時点の信号をサンプルし記憶する。これがアナログ残差になる。また、このときにアンプの出力が V_T 以下になるステップ数を A/D 変換値とする。図 11 の場合は、5 ステップ目になっている。

いま 階段波の 1 ステップを ΔV_S とすると、ステップ数を D として、式(4)は以下のように書ける。

$$V_{OUT} - V_{REF} = 8(V_R - V_S) - 4D\Delta V_S \quad (5)$$

この関係を $V_T = 4 \Delta V_S$ として図示すると、図 12 のようになる。A/D 変換値に相当する D の値を記憶するために、階段波にステップ数に相当するコード(例

5 えば Gray コードを用いる。バイナリコードでも可能。)をデータラッチに与えておいて、比較器の出力でそのコードをデータラッチに記憶するようにしておく。

図 12 では、3 ビットの A/D 変換が行え、アンプ出力のアナログ残差が、その入力が 0 から V_T までの範囲を取るときには、出力も 0 から V_T の間に収まることを示している。

10 イメージセンサのカラムの初段でこのような処理を行うことは多くの利点がある。まず、式(5)からわかるように、このような機能を持ちながら、画素部のリセットレベルと信号レベルの差分を増幅することになるので、画素部で発生する固定パターンノイズや、リセットノイズをキャンセルする機能をもち、また画素部で発生する $1/f$ ノイズの低減効果もある。

15 また、アンプの出力が飽和するのを避けながら高いゲインで増幅することができる。これによって、その後の回路により加わるノイズの影響を大幅に軽減でき、ノイズレベルの低いイメージセンサが実現できる。また、この回路で部分的な A/D 変換が行えることによって、その後に接続する A/D 変換回路を簡単化でき、またその A/D 変換回路の負担を軽減することができる。

20 最後の利点は、例えば、上記の回路の後ろに積分型 A/D 変換を用いる場合には、特に有利となる。積分型 A/D 変換器は、線形性に優れるため、高精度 A/D 変換方式として広く用いられているが、変換時間が長いという問題がある。積分型 A/D 変換器は、ランプ信号と入力信号を比較器に与え、カウンタを用いて、

ランプ信号が入力信号を超えるまでのクロックのカウント数をA/D変換値とするものであり、例えば10ビットのA/D変換を積分型で行う場合、一般には、1024回までのカウントをする必要がある。イメージセンサ上で、積分型を利用し、10ビットA/D変換を行うものも報告されているが、これを高速のイメージセンサに応用するのは困難である。

本発明のように、あらかじめ3ビットのA/D変換を行い、そのアナログ残差分に対し積分型A/D変換を行うようにすれば、カウント数は1/8の128カウントでよく、高速のイメージセンサにも積分型が利用できる。また、非常に高分解能なA/D変換を行いたい場合で、積分型A/D変換として10bitで1024カウントが実現可能な場合には、その前に3ビットのA/D変換を行うことによって、13ビット相当のA/D変換が行えることになり、高分解能なディジタル出力のイメージセンサが実現できる。

なお、図12のアナログ残差は、理想的には、0から V_T の範囲の値をとるが、比較器の判定に誤差が生じると、この範囲を越える。そこで、アナログ残差に対する次の段のA/D変換のアナログ入力範囲をこれよりも広げた範囲にしておくこと。これにより、比較器に多少の誤差が生じても、最終的なA/D変換されたデジタル値には影響しないため、比較器の精度要求が緩和されるという利点がある。

なお、図12は、3ビットの場合で、8倍の增幅を行うものであるが、このようにNビットA/D変換を行う場合に、ゲインを 2^N に選ぶことで、アナログ残差出力の電圧範囲を大きくすることができる。しかし、A/D変換の分解能を高くする場合には、ゲインが非常に大きくなり、実現が困難になる場合もある。この場合には、ゲインを 2^N よりも低く設定してもよい。この場合、アナログ残差出力が小さくなるが、図9の中に示したように、S/H回路のゲインを1ではなく大きくとって増幅してもよい。(図9の場合、 G_2)としている。

図13は、第3の実施例である、カラムでノイズキャンセルと2倍増幅を行いながら1ビットのA/D変換を行う場合の構成を示している。この回路は、先に信号レベルが出力され、あとでリセットレベルが出力される画素回路に適用できる。

5 アンプ出力を V_{out} 、画素部の出力の信号レベルを V_s 、リセットレベルを V_R とし、その差電圧を $\Delta V_{in} = V_R - V_s$ として、次式が成り立つ。

$$V_{out} = -2\Delta V_{in} + V_{R1} - D(V_{R1} - V_{R2}) \quad (6)$$

ここで、DはA/D変換値であり次式のように定める。

10

$$D = \begin{cases} 0 & (V_s > V_T) \\ 1 & (V_s \leq V_T) \end{cases} \quad (7)$$

つまり、この回路はA/D変換の結果によって、アンプ出力の基準バイアス電圧を変化させる。具体例をあげる。信号レベル V_s が、2Vから1Vまで変化し、
15 V_R が2Vの場合、 $V_T = 1.5V$ とする。このとき、 ΔV_{in} は0～1Vまで変化する。このとき式(6)の $V_{R1} = 2V$ 、 $V_{R2} = 3V$ とすると、 ΔV_{in} に対して、 V_{out} は図14のように変化する。

20 入力信号の変化範囲1Vに対して、出力も2Vから1Vまでの1Vの範囲に収めることができる。また入力信号に対する出力の利得は2倍である。このように入力信号を2倍して高感度化しているにも関わらず、出力の振幅範囲が1Vに收められる。

図15は、カラムアンプのオフセット電圧の除去のために、アンプのリセットレベルを記憶するサンプルホールド回路を設けたものである。画素回路としては、図6の示す画素内で電荷転送を行う4トランジスタ型であるとする。なお、3トランジスタの画素回路など、他の画素回路もタイミングを変更することで、同様に利用可能である。まず、最初にリセットレベル V_R があらわれ、次いで信号レベル V_s が出力されるものとする。

まず、アンプの $\phi 1 = 1$, $\phi 2 = 1$ としてアンプの入出力をショートし、8Cに V_R のレベルをサンプルする。ついで、 $\phi 1 = 0$, $\phi 2 = 0$ とし、アンプの出力を1つのサンプル&ホールド回路に記憶する。その後で、画素内のTXを開くことで信号レベル V_s を8Cに与える。その結果、アンプの出力には、 $V_R - V_s$ が8倍に増幅された信号が現れる。この場合、 V_R をサンプルしているとき、アンプの入力部での電荷 Q_0 は次式で与えられる。

$$Q_0 = 8C(V_0^* - V_R) + 4C(V_0^* - V_{SW0}) + C_i V_0^* \quad (b1)$$

15 入力を V_s に切り替え、また帰還容量Cをアンプ出力に接続した後、 Q_0 に変化がないとすると次式となる。

$$Q_0 = 8C(V_0 - V_s) + C(V_0 - V_{OUT}) + 4C(V_0 - V_{SW}) + C_i V_0 \quad (b2)$$

ここで、 V_{sw} は階段波の電圧である。このとき、 $V_R - V_s$ が大きいとアンプが飽和し、 V_0 が V_0^* から大きく変化する。しかし、 V_{sw} を操作し、アンプが高いゲインで動作する領域に引き戻したとき、負帰還により、 $V_0^* - V_0$ がゼロに近づく。

いま $V_o^* - V_o = 0$ として、(b1), (b2)を連立させれば、次式が得られる。

$$V_{OUT} = V_0^* + 8(V_R - V_S) - 4(V_{SW} - V_{SW0}) \quad (b3)$$

これは、出力電圧が、 V_o^* を基準として、 $V_R - V_S$ が 8 倍に増幅されるとともに、 $V_{SW} - V_{SW0}$ の差電圧を 4 倍したものをひいた電圧になることを意味する。
5 アンプショート時の出力 V_o^* をサンプルホールドしておき、(b3)式の結果を記憶する別のサンプル&ホールド回路の出力との差を求めるようにすれば、アンプのオフセット電圧がキャンセルされる。

この点を除けば、その他の動作は図 9 と同様である。なお、図 15 の $\phi 3$ は、
10 図 9 のサンプルホールド回路と同様に、比較器の出力によって制御される。

産業上の利用可能性

以上述べた構成により、最初の N-bit の A/D 変換したアナログ残差を増幅したものに対して、第 2 の M-bit の A/D 変換を行うので、M-bit A/D 変換とし
15 て 10 bit 程度の高分解能で A/D 変換が行えるため、第 1 段の N-bit A/D 変換として 3bit あるいは 4bit とすれば、13 bit ~ 14 bit といった極めて高い分解能の A/D 変換も可能であり、広いダイナミックレンジのディジタル出力イメージセンサが実現可能である。

また、イメージセンサ用 A/D 変換器として、A/D 変換の機能の一部を、カラ
20 ムのノイズキャンセル回路を用いて行い、かつ同時に増幅を行うことで、高シグナルノイズ比 (S/N R) 化を図りながら、その後の A/D 変換部とあわせて高分解能の A/D 変換を実現できる。

請求の範囲

1. アレイ状に配置されたN-bitのA/D変換手段(4)と、入力信号とN-bitのA/D変換結果との差であるアナログ残差を増幅するアンプ(3)とからなる要素回路(1)と、前記アナログ残差に対しA/D変換を行うM-bitのA/D変換手段(2)とを備え、入力信号に対してN-bitのA/D変換手段により第1段階のA/D変換を行い、増幅されたアナログ残差に対して、M-bitのA/D変換手段により第2段階のA/D変換を行うことで、N+M bitのA/D変換を行うことを特徴とする2段階A/D変換器。

2. 前記アンプはキャパシタの容量比を用いてG倍の増幅を行うものであり、前記アンプの入力に一端が接続されたキャパシタの他端の接続電位を切換えることによりA/D変換結果をアナログ信号に変換し、該アナログ信号を入力信号から減ずることによって、G倍の増幅を行ってもアンプの出力を飽和させず線形領域に制御することを特徴とする請求の範囲第1項記載の2段階A/D変換器。

3. 前記アンプは、キャパシタの容量比を用いてG倍の増幅を行うものであり、前記N-bitのA/D変換は一旦画素信号に対してG倍の増幅の動作をさせた後、比較器で前記アンプの出力と参照電圧を逐次比較しながら、前記アンプの出力が前記参照電圧を越えたときに別のキャパシタを用いて入力信号から一定値を引き去ることで、一旦前記アンプの出力が飽和した場合でも、線形領域に引き戻し、一定電圧の刻みとして何段階分の電圧で引き戻したかをN-bitのデジタル値とし、引き戻したあとの前記アンプの出力をアナログ残差として出力することを特徴とする請求の範囲第1項記載の2段階A/D変換器。

4. イメージセンサにおいて、アレイ状に配置されたN-bitのA/D変換手段(4)と、画素出力とN-bitのA/D変換結果との差であるアナログ残差を増幅するアンプ(3)とからなる要素回路(1)と、前記アナログ残差に対しA/D変換を行うM-bitのA/D変換手段(2)とを備え、イメージセンサのカラムにおける画素出力

に対してN-bitのA/D変換手段により第1段階のA/D変換を行い、増幅されたアナログ残差に対して、M-bitのA/D変換手段により第2段階のA/D変換を行うことで、N+M bitのA/D変換を行うことを特徴とするイメージセンサ。

5. 前記アナログ残差に対するM-bitのA/D変換手段は、そのアナログ値を

水平走査したのち、M-bitのA/D変換を行うことを特徴とする請求の範囲第4項記載のイメージセンサ。

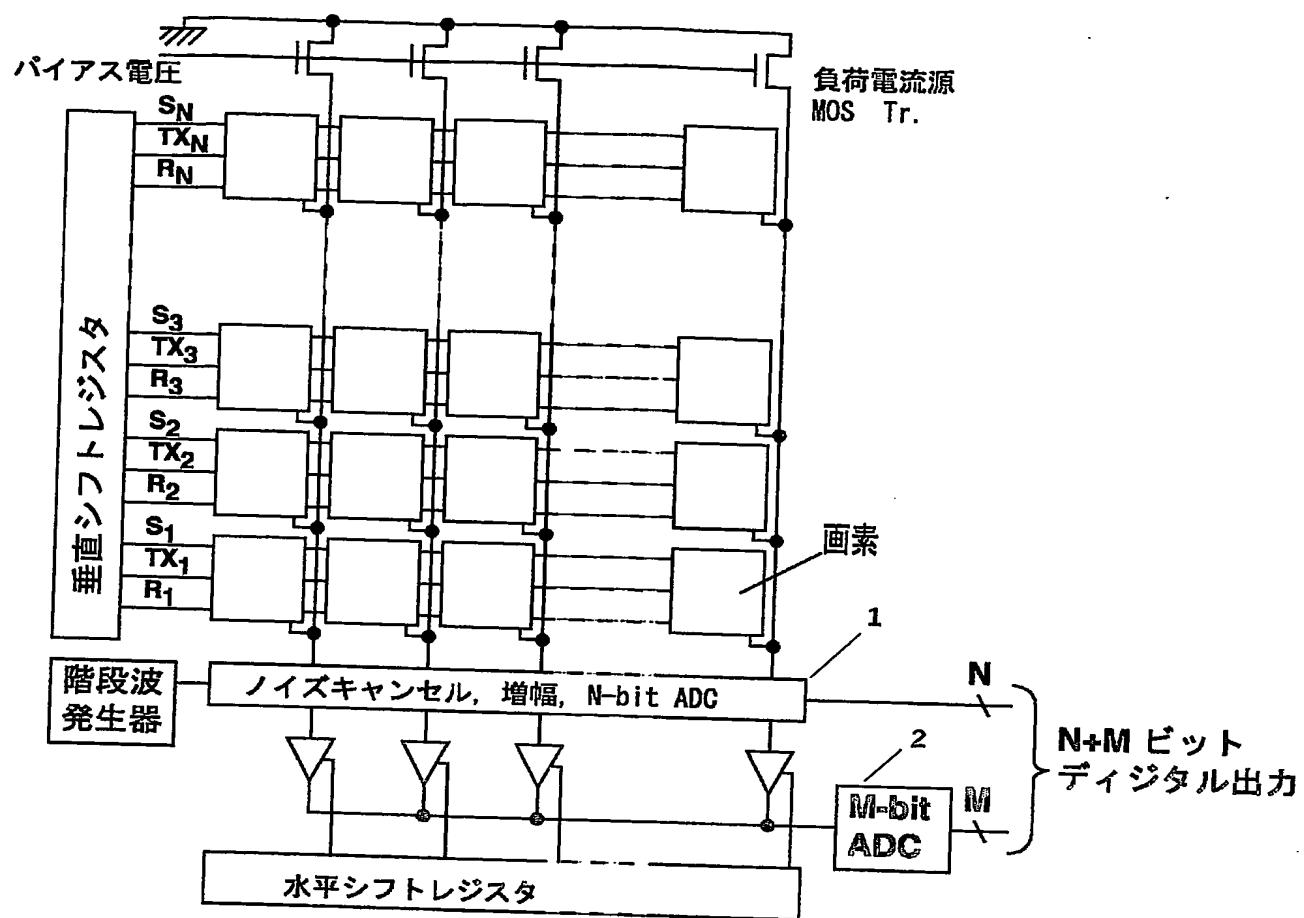
6. 前記アナログ残差に対するM-bitのA/D変換手段は、M-bitのA/D変換要素をカラムにアレイ状に並べて動作させることを特徴とする請求の範囲第4項記載のイメージセンサ。

10 7. 前記N-bitのA/D変換手段は、1個の比較器と、カラムに共通のランプ信号発生器と、カラムの外部から与えられるグレイコード値を比較器の出力の変化時点で取り込むためのレジスタからなる請求の範囲第4項記載のイメージセンサ。

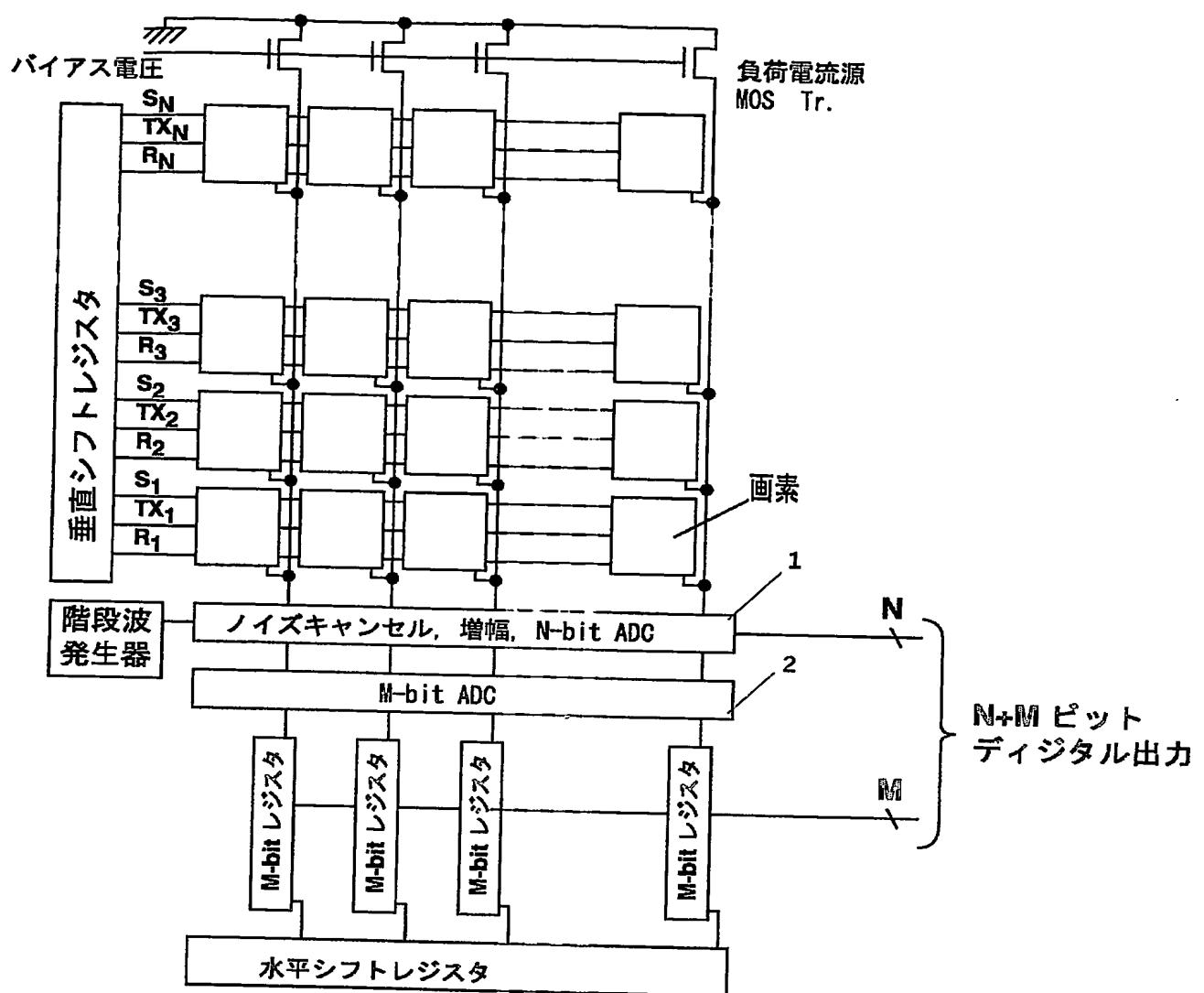
15 8. 前記画素出力に対して行うN-bitのA/D変換手段は、1ビットの比較器を用いて行い、前記アンプはキャパシタの容量比を用いてカラムでG倍の増幅を行うものであり、キャパシタの一端を前記アンプの入力に接続し、キャパシタの他端をリセット時に参照電圧に接続するとともに、アンプの出力電圧の動作点を決める前記参照電圧を、前記1ビットの比較器の出力によって、変化させることで、G倍の増幅を行っても前記アンプの出力を飽和させず線形領域に制御することを特徴とする請求の範囲第4項記載のイメージセンサ。

20 9. 前記アンプはリセットレベルの画素出力と信号レベルの画素出力との差分を得る機能を有し、これによりノイズキャンセルを行うことを特徴とする請求の範囲第4項記載のイメージセンサ。

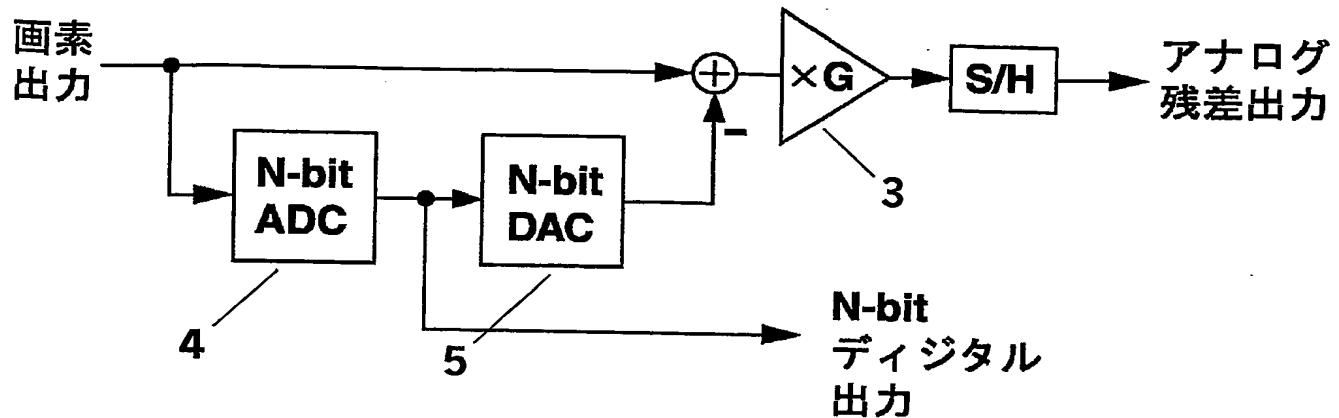
第1図



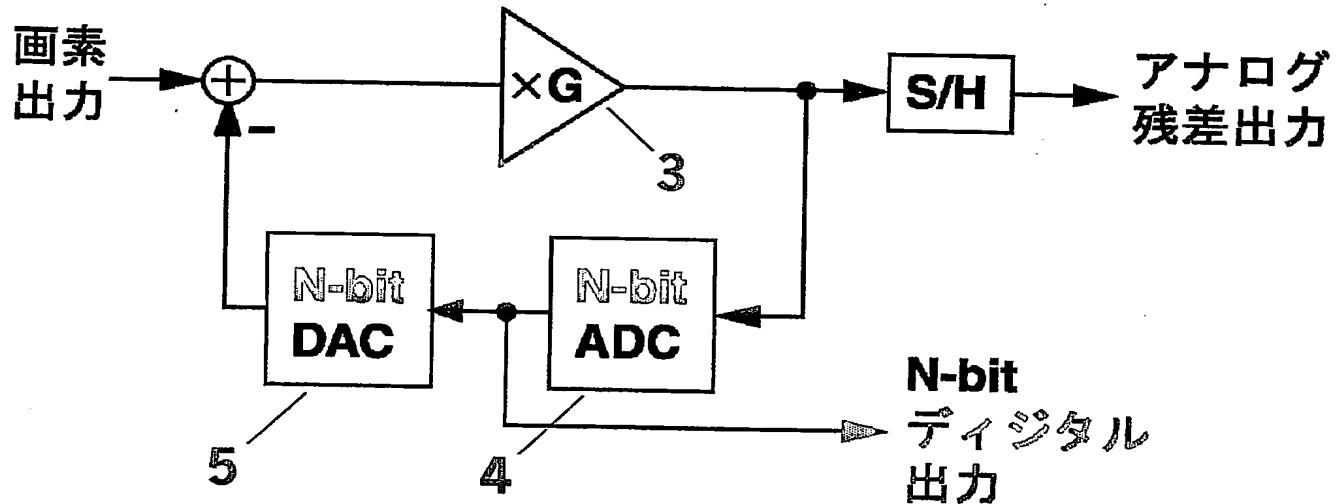
第2図



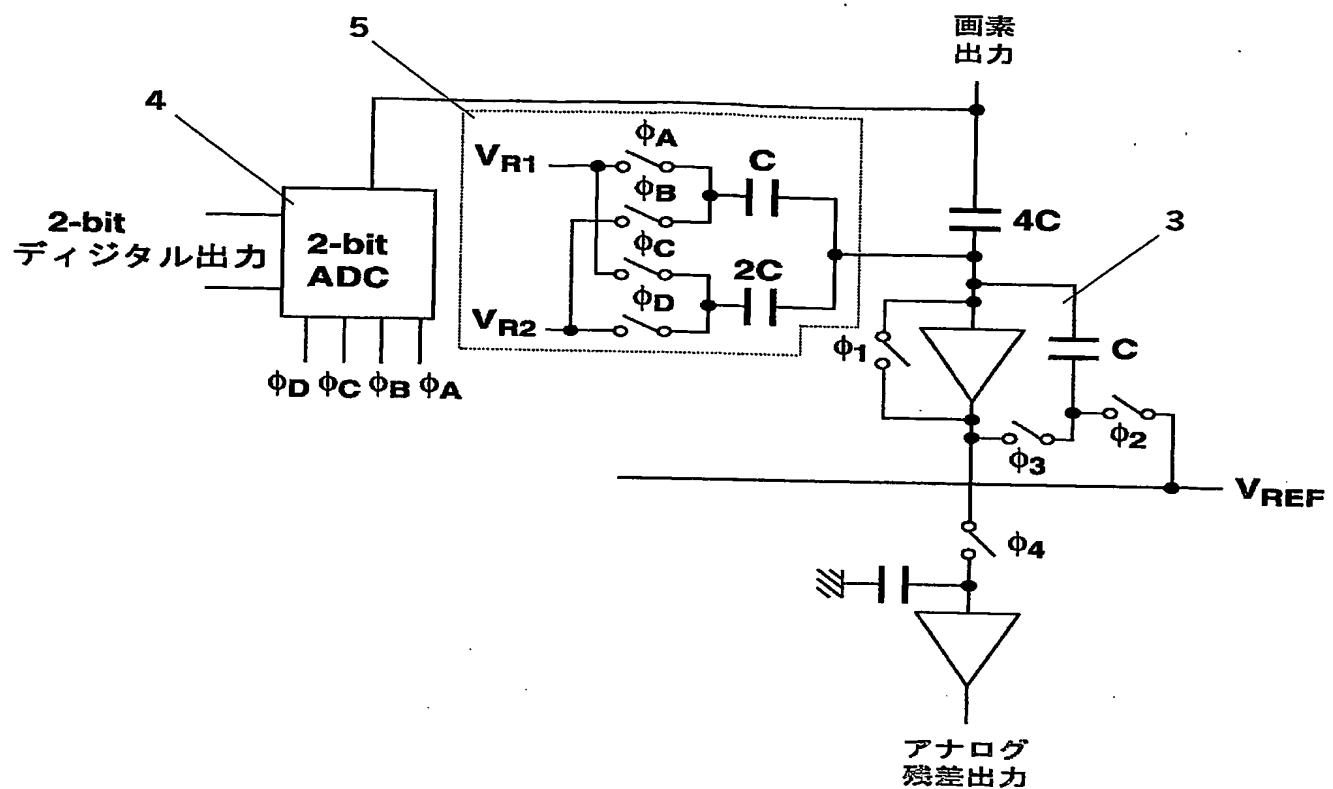
第3図



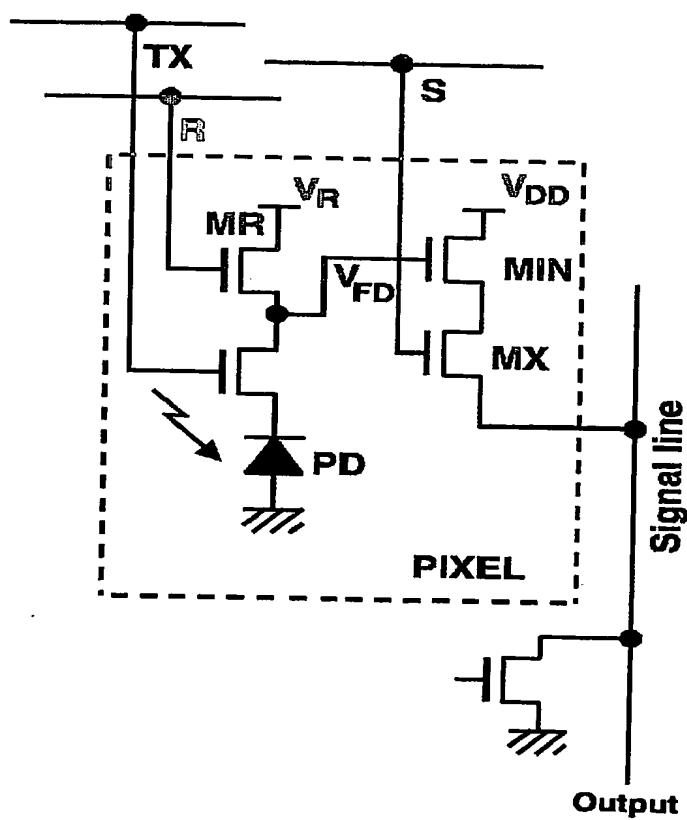
第4図



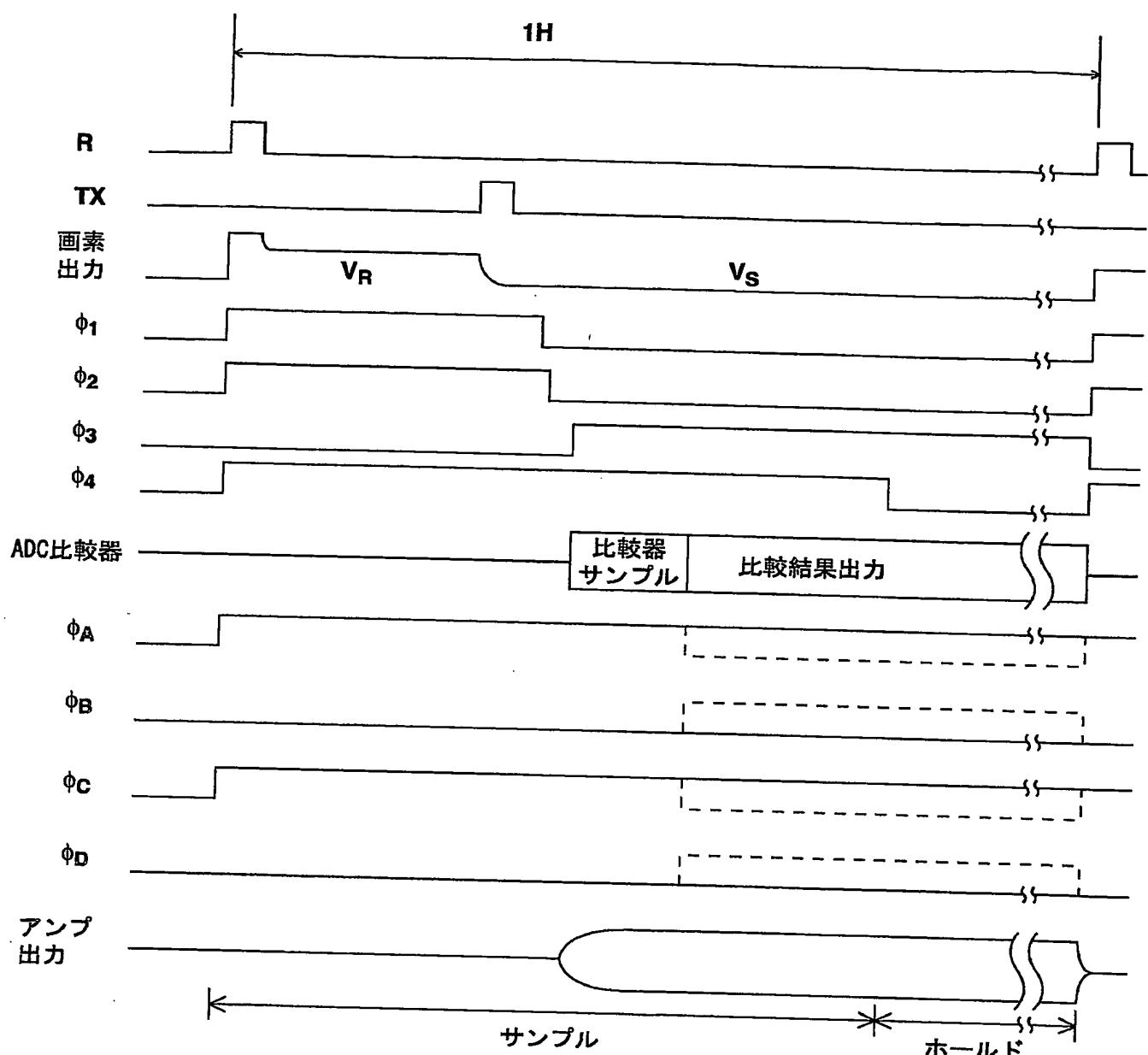
第5図



第6図



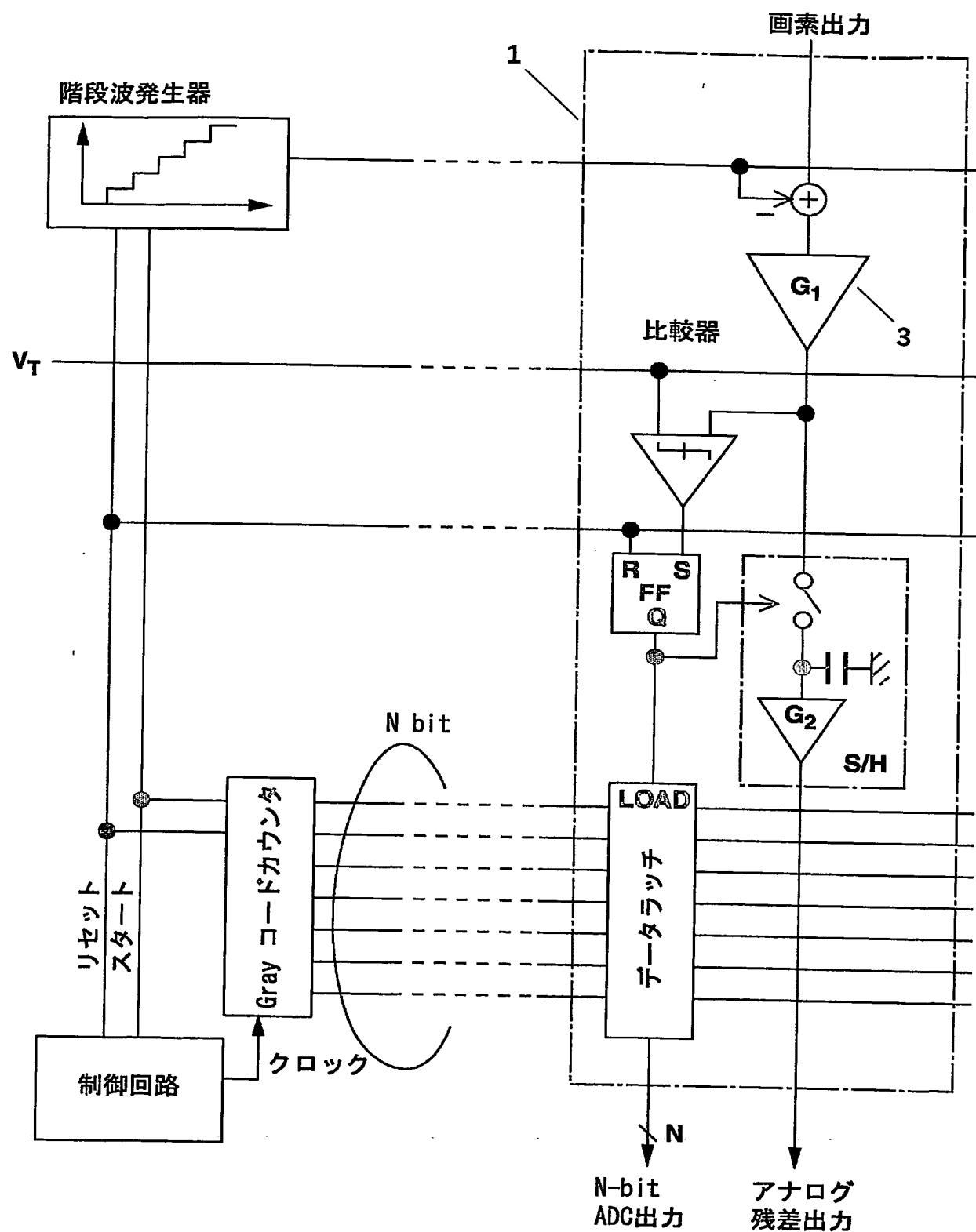
第 7 図



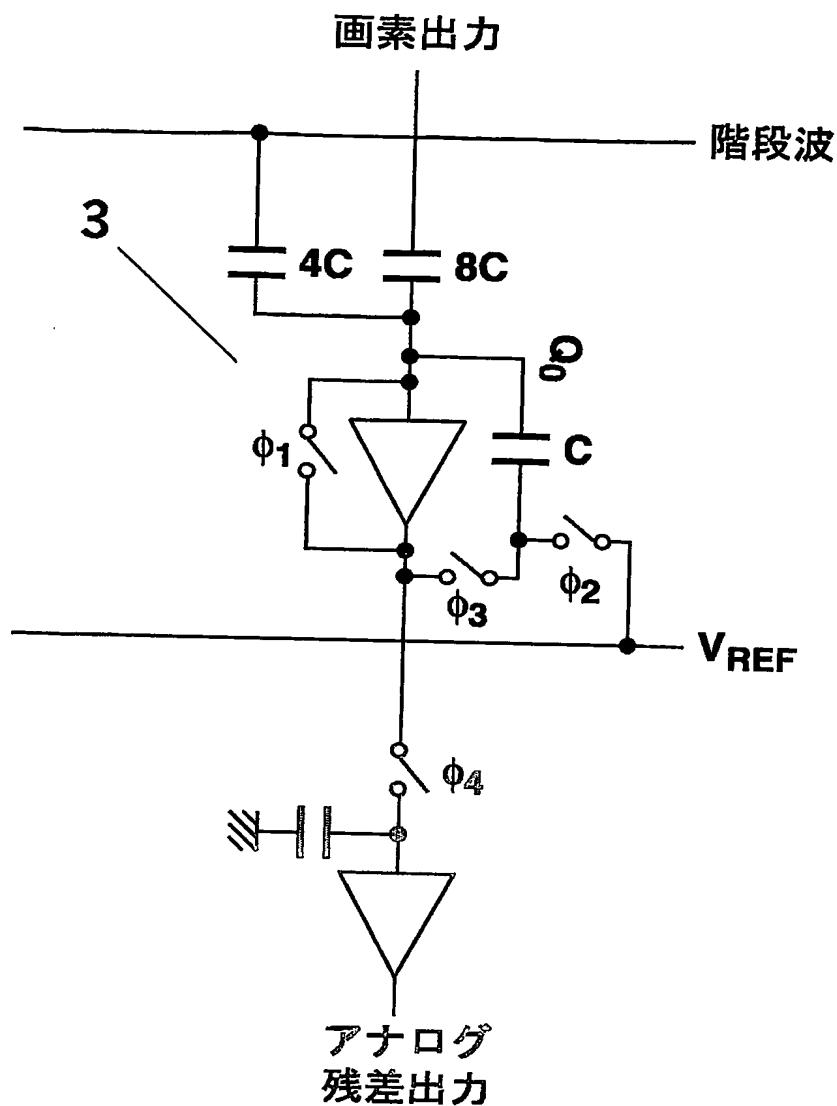
第8図

D	ϕA	ϕB	ϕC	ϕD
0	1→1	0→0	1→1	0→0
1	1→0	0→1	1→1	0→0
2	1→1	0→0	1→0	0→1
3	1→0	0→1	1→0	0→1

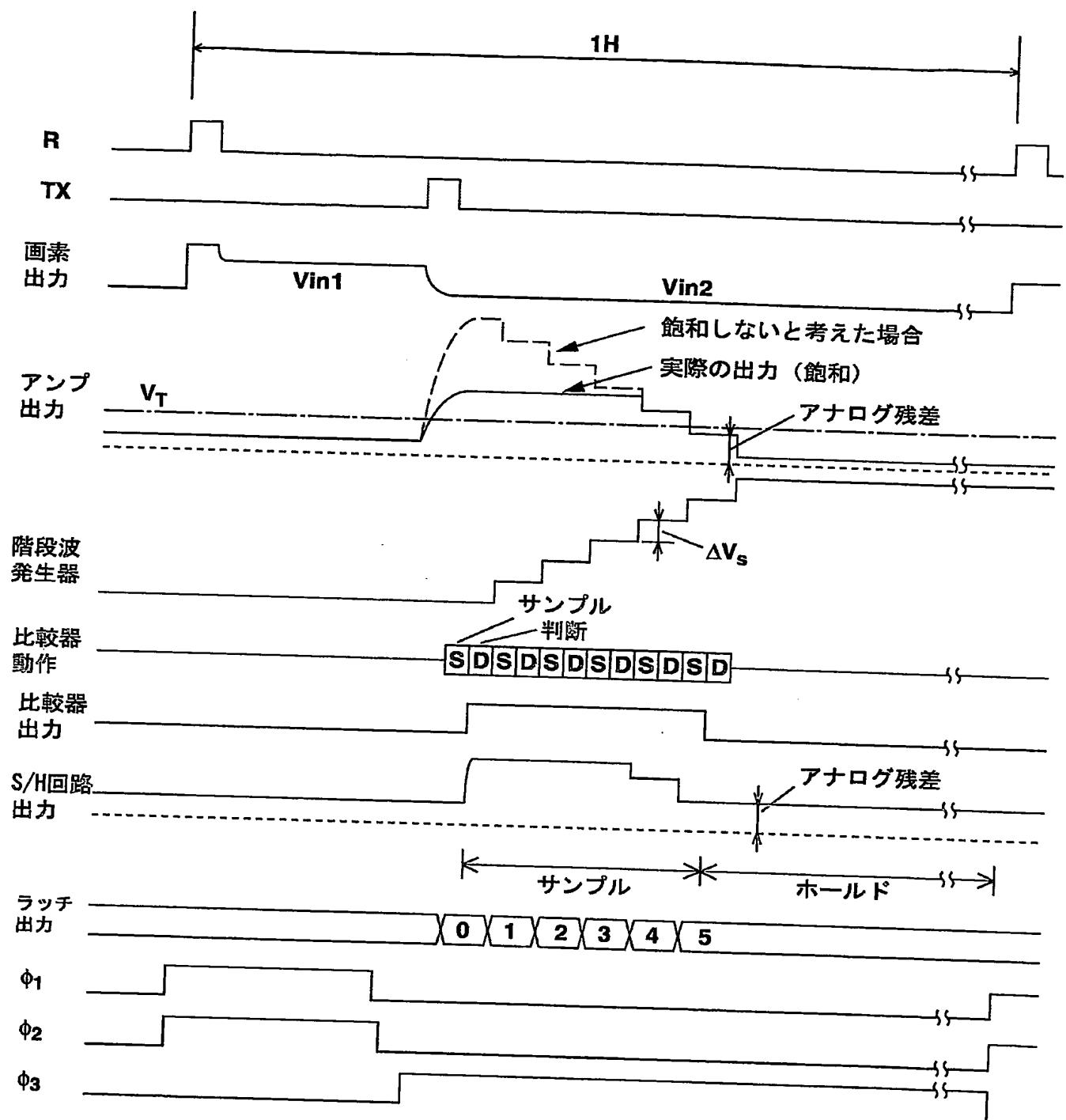
第9図



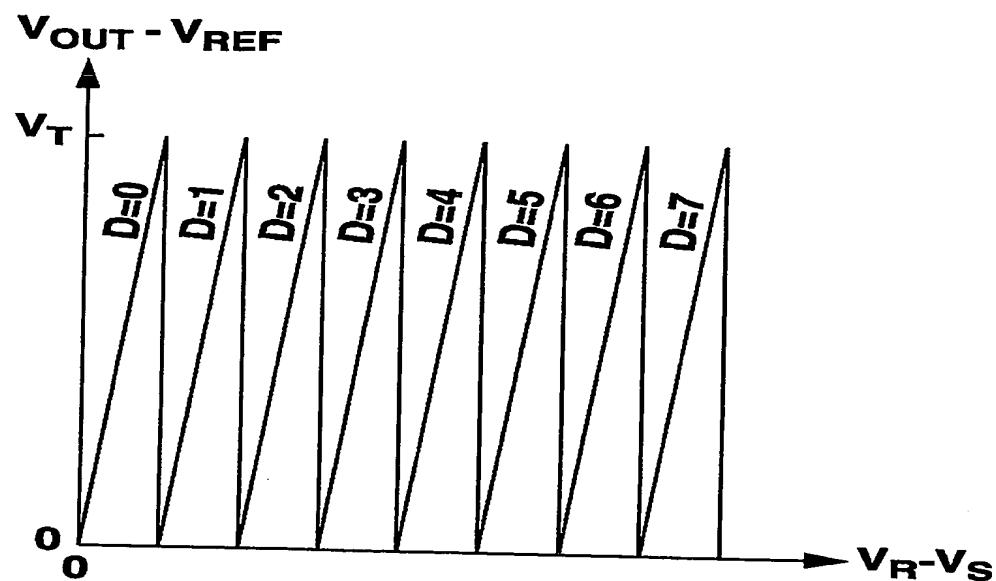
第10図



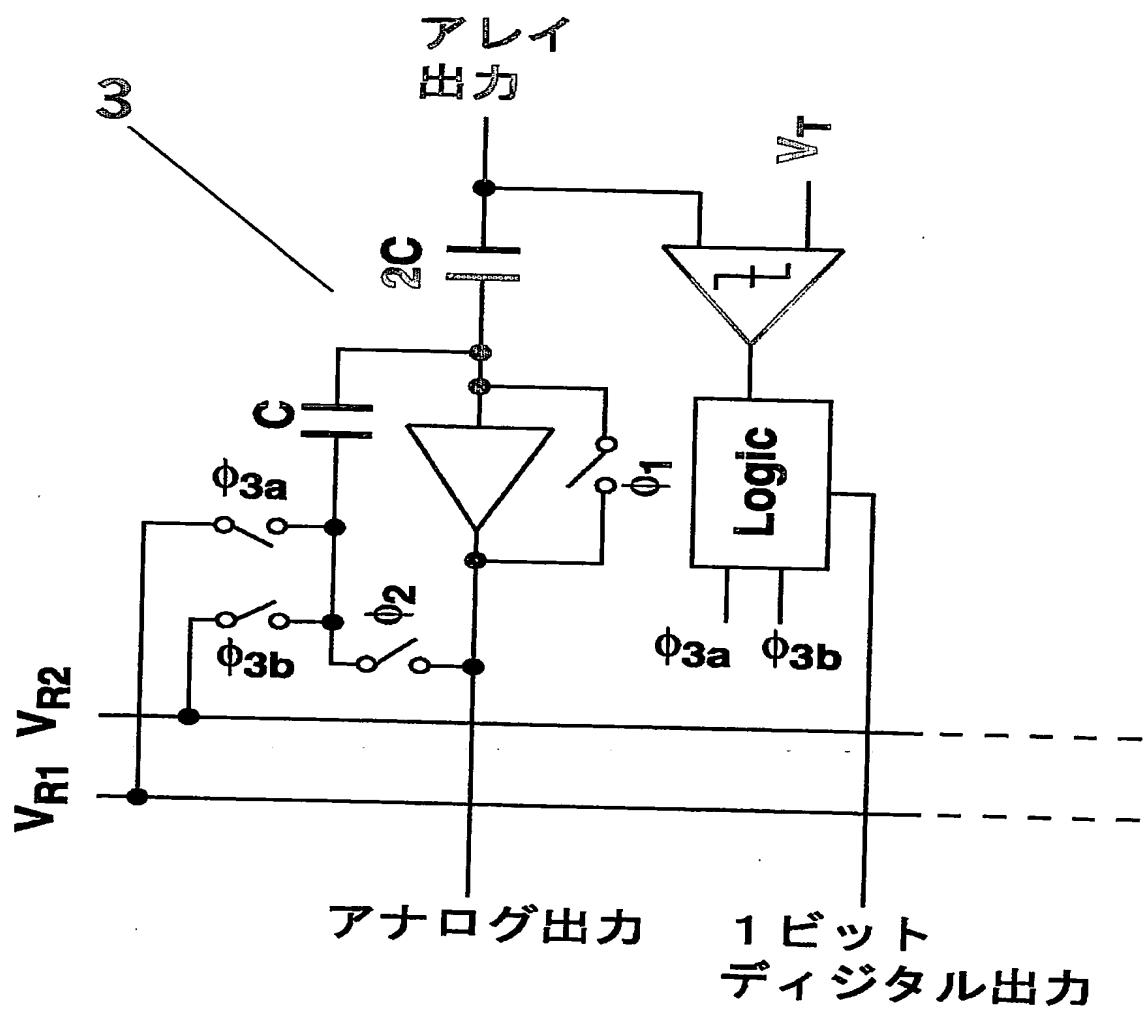
第11図



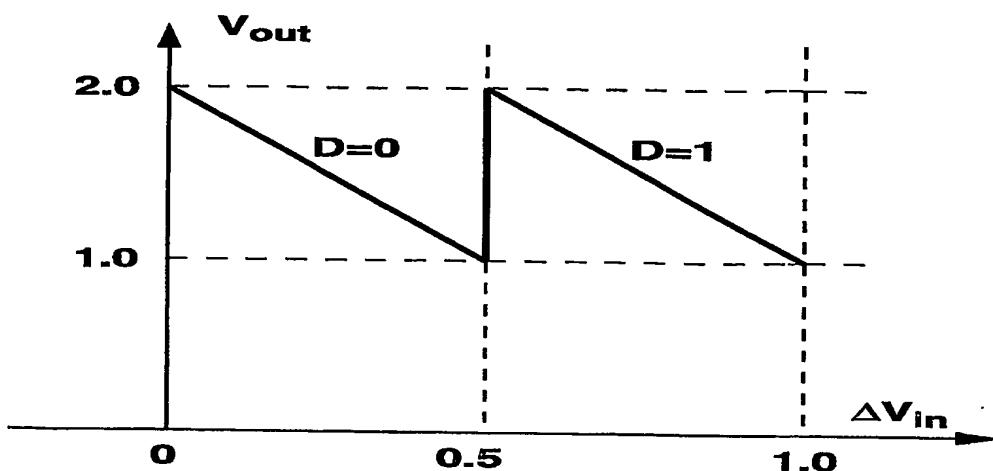
第12回



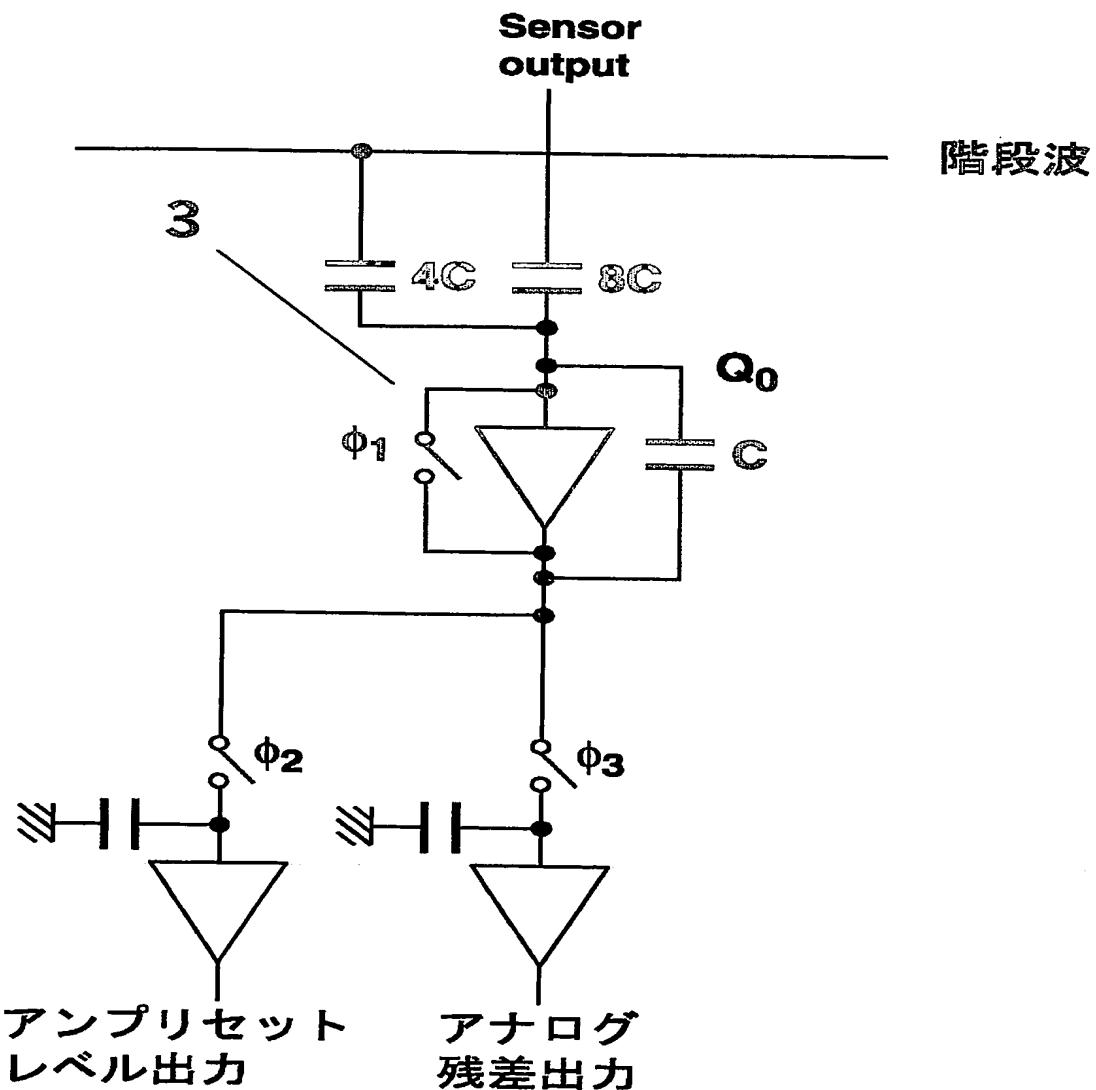
第13図



第14図



第15図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004169

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl' H03M1/34, H04N1/028

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl' H03M1/00-H03M1/88, H04N1/028, H04N5/30-5/335Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-124877 A (Hamamatsu Photonics Kabushiki Kaisha), 26 April, 2002 (26.04.02), Claims 1, 2, 3; Figs. 1, 3 (Family: none)	1, 4-6, 9 2, 3, 7, 8
Y	JP 5-152959 A (NEC Corp.), 18 June, 1993 (18.06.93), Fig. 1; column 3, line 15 to column 4, line 24 (Family: none)	2, 7, 8
Y	JP 2002-261613 A (Hamamatsu Photonics Kabushiki Kaisha), 13 September, 2002 (13.09.02), Fig. 3 & EP 1365514 A1	3

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
13 May, 2004 (13.05.04)Date of mailing of the international search report
01 June, 2004 (01.06.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004169

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-232291 A (Yugen Kaisha Linear Cell Design), 16 August, 2002 (16.08.02), Fig. 9 (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H03M1/34, H04N1/028

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H03M1/00~H03M1/88, H04N1/028, H04N5/30~5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-124877 A (浜松ホトニクス株式会社) 2	1, 4-6, 9
Y	002. 04. 26, 請求項1、請求項2、請求項3、図1、図3 (ファミリーなし)	2, 3, 7, 8
Y	JP 5-152959 A (日本電気株式会社) 1993. 0 6. 18, 図1, 第3欄第15行-第4欄第24行 (ファミリーな し)	2, 7, 8
Y	JP 2002-261613 A (浜松ホトニクス株式会社) 2	3
Y	002. 09. 13, 図3 & EP 1365514 A1 JP 2002-232291 A (有限会社リニアセル・デザイ ン) 2002. 08. 16, 図9 (ファミリーなし)	7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示す
もの「E」国際出願日前の出願または特許であるが、国際出願日
以後に公表されたもの「L」優先権主張に疑義を提起する文献又は他の文献の発行
日若しくは他の特別な理由を確立するために引用する
文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって
出願と矛盾するものではなく、発明の原理又は理論
の理解のために引用するもの「X」特に関連のある文献であって、当該文献のみで発明
の新規性又は進歩性がないと考えられるもの「Y」特に関連のある文献であって、当該文献と他の1以
上の文献との、当業者にとって自明である組合せに
よって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

13. 05. 2004

国際調査報告の発送日

11. 6. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
柳下 勝幸

5X 9561

電話番号 03-3581-1101 内線 3556